

**MULTILAYER HYBRID INTEGRATED CIRCUIT**

Patent Number: JP2150098  
Publication date: 1990-06-08  
Inventor(s): KINOSHITA MASAKI  
Applicant(s):: JAPAN RADIO CO LTD  
Requested Patent: ☒ JP2150098  
Application Number: JP19880304466 19881201  
Priority Number(s):  
IPC Classification: H05K3/46  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To eliminate peeling by thermal impact or thermal repetition by pressing polyether.etherketone resin previously formed with circuit patterns on both front and rear faces of a film to a functional element, and press- adhering then in vacuum.

**CONSTITUTION:**A functional element such as an IC is inserted into a buried resin frame 2, and secured with pouring resin 3 of liquidlike polyimide resin, etc. A circuit pattern 4 and the functional element 1 provided on the front face of the frame 2 are pressed on a film which is made by printing conductive resin 5 and an upper layer circuit pattern 8 on a thermoplastic resin polyether.etherketone film 9 containing small impurity content, and heated. When heating, it is press-adhered in vacuum of approx.  $1 \times 10^{-4}$  Torr in a state to be so brought into contact as not to exist cavities in its adhering part, heated in a nitrogen atmosphere and adhered. The polyether.etherketone has small impurity content of Cl $\leftrightarrow$ -, Na $\leftrightarrow$ +, and small gas generation upon heating of CO<sub>2</sub> of 23500ppm of epoxy resin, 1000ppm of polyether.ether-ketone under the conditions of 150 deg.C and 320 hours.

---

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-150098

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月8日

H 05 K 3/46

Q

7039-5E

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 多層混成集積回路

⑯ 特 願 昭63-304466

⑰ 出 願 昭63(1988)12月1日

⑱ 発 明 者 木 下 昌 己 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

⑲ 出 願 人 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号

明 和 書

1. 発明の名称

多層混成集積回路

2. 特許請求の範囲

複数の回路パターンと機能素子を内蔵する多層配線基板と、導体層を有するポリエーテル・エーテルケトン層を有し、前記機能素子を前記ポリエーテル・エーテルケトンにより接合したことを特徴とする多層混成集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、トランジスタやICなどの機能素子を多層の基板中に埋め込んだ混成集積回路の構成に関する。

(従来の技術とその課題)

回路パターンを有する樹脂を絶縁材料として多層に積層し、その中間層に位置する回路パターンに半導体素子を内蔵した多層混成集積回路がある。第2図は従来のこの種の説明図で、ICなど機能

素子1を予め作製したエポキシ樹脂などの埋込み用樹脂2へ挿入し、液状のエポキシ樹脂などによる注入樹脂3で固定する。埋込み用樹脂2の表面に設けた回路パターン4と機能素子1をスクリーン印刷法などで液状のエポキシ等の導電性樹脂5を印刷して昇温を加え硬化して接合する。更に機能素子の表面を保護するため不純物含有量の少ないジャンクションコート用樹脂6を被覆し、さらに上層回路パターンとの間隙へ液状エポキシ樹脂などを注入し絶縁層7を構成し、その表面に上層回路パターン8を配し、多層間中に機能素子の埋込みを行っていた。従来のこの種のものは注入樹脂3および絶縁層7を構成するために熱硬化処理を繰返すため、昇温、降温による膨張、収縮により機能素子1と回路パターン4の接合部分が剥離し易いこと、エポキシ樹脂を昇温、硬化処理を行う際、発生ガスによる発泡などの不具合を有していた。

(課題を解決するための手段)

本発明はこれらの欠点を解決するために機能素

子と回路パターンとの結合を不純物含有量の少い、ガスの発生のない熱可塑性樹脂板に設けた接合パターンを介して取付けることを特徴とし、その目的は熱衝撃や熱的繰返しによって剥離し難い湿成集積回路の提供にある。

(実施例)

第1図は本発明の実施例の説明図で、ICなどの機能素子1を埋込用樹脂枠2へ挿入し液状ポリイミド樹脂などによる注入樹脂3で固定する。埋込用樹脂枠2の表面に設けた回路パターン4と機能素子1を予め不純物含有量の少い熱可塑性樹脂ポリエーテル・エーテルケトンフィルム9へ導電性樹脂5および上層回路パターン8を印刷したフィルムを押圧し昇温を加える。昇温に際しては、接合部分に空孔などが存在しないよう銜合した状態で $1 \times 10^{-4}$  Torr程度の真空中で $125^{\circ}\text{C}$ 、15分間圧着を加えてから窒素雰囲気中で $150^{\circ}\text{C}$ 、2時間の加熱を行って接合する。ポリエーテル・エーテルケトンは $\text{C} \text{--} \text{O} \text{--} \text{C}$ や $\text{N} \text{--} \text{O} \text{--} \text{C}$ などの不純物含有量が少く、昇温に伴う発生ガスも $\text{CO}_2$ に関して $150^{\circ}\text{C}$ 、

320時間の条件ではエポキシ樹脂は23,500ppm、ポリエーテル・エーテルケトンは1,000ppmと僅少といえる。

このような構造となっているから機能素子の接合部分は亀裂の発生し難い、空孔の存在しない、また、ジャンクションコート用樹脂を介しエポキシ樹脂を複層化する複雑な構成を要さぬ多層化埋込み構造を得ることが出来る。

さらにつけ加えるとこの種の構成はチップコンデンサやチップ抵抗体を内蔵する方法としても機能素子の場合と同様の効果を、また配線パターンを複雑に多層化を施さぬ場合も熱的履歴に対して強固な接合方法として効果を得ることが出来る。

(発明の効果)

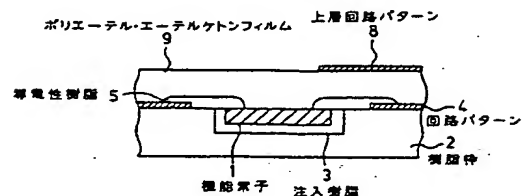
以上説明したように予め回路パターンをフィルムの表裏面に構成したポリエーテル・エーテルケトン樹脂を機能素子へ押圧し、真空中で圧着した構成であるから空孔のない強固な接合状態を有する機能素子を内蔵した多層湿成集積回路を提供出来る利点がある。

4. 図面の簡単な説明

第1図は旧来の実施例の説明図、第2図は本発明の実施例の説明図である。

1・・・機能素子、2・・・樹脂枠、3・・・注入樹脂、4・・・回路パターン、5、5'・・・導電性樹脂、6・・・ジャンクションコート樹脂、7・・・絶縁層、8、8'・・・上層回路パターン、9・・・ポリエーテル・エーテルケトンフィルム。

第1図



第2図

